

CMOS データアキュイジション IC

CMOS Data Acquisition IC for Digital Storage Oscilloscopes

樋 渡 雅 哉^{*1} 崔 通^{*1}

HIWATASHI Masaya CHOI Toru

赤 坂 恭 一^{*1} 若 林 正^{*1}

AKASAKA Yasukazu WAKABAYASHI Tadashi

デジタルオシロスコープの小型、低消費電力のためにアッテネータを除くアナログ入力部(アンプ, フィルタ, AD変換器, DA変換器, 基準電圧発生回路)を1 μ m CMOSプロセスで1チップ化した。AD変換器は25Msps 8-bit / 10Msps 10-bit 切り替え可能なタイムインターリーブ逐次比較方式で、高速、高精度、両方の測定に対応できる。アンプはゲイン連続可変(12 ~ 38dB), フィルタ帯域は3段階に切り替え可能である(500kHz, 5MHz, 25MHz)。消費電力は電源電圧5Vで10-bit動作時340mW, パッケージは100ピンのプラスチックQFP(Quad Flat Package)を用いた。本稿ではICの構成および評価結果について報告する。

A data acquisition IC has been developed for digital storage oscilloscopes(DSOs). The entire DSO front-end except an attenuator was integrated using 1 μ m CMOS process technology. In the analog-to-digital conversion, time-interleaved successive approximation architecture effectively enables both 25 Msps 8-bit and 10 Msps 10-bit operation. The gain of amplifier is externally controllable from 12 dB to 38 dB, and the filter bandwidth is programmable at 500 kHz, 5 MHz, 25 MHz. The chip consumes 340 mW at the 10 Msps operating condition from a single 5 V supply. The IC is packaged in a 100-pin plastic QFP (Quad Flat Package).

The circuit design and the experimental results of the IC are described in this paper.

1. はじめに

近年、携帯通信機器に代表されるように、CMOS LSIの特長「小型、ローパワー、ローコスト」を活かした製品が数多く開発されている。この傾向はデジタルオシロスコープにも当てはまる。エンジンの挙動観測やタービン、回転機器の保守検査などの現場では携帯可能で低価格の測定器が求められ、当社DL1500シリーズに象徴されるようにデジタルオシロスコープも年々小型化してきている。

図1に一般的なデジタルオシロスコープの構成を示す。アナログ入力信号はアッテネータ(減衰器)を通した後、オフセットを加算、アンプで増幅、ローパスフィルタでノイズを除去し、AD変換器(ADC)でデジタル信号に変換する。このアナログ入力部はデータアキュイジション部とも呼ばれる。デジタル出力はゲートアレイで処理し、メモリーに記憶、ディスプレイで表示する。半導体プロセスのうちCMOSプロセスは、素子サイズが小さく高集積化が可能で、プロセスコストも安いという特長がある。デジタルオシロスコープのうちメモリー等デジタル部は

LSI化が既に進んでおり、小型化が達成されている。一方、アナログ入力部はADCに存在する高速デジタル回路の発生するノイズが高速、高精度のアナログ回路に影響を与え、両者を1つのチップに集積化するのが非常に困難なため、これまでLSI化が進んでいなかった。

今回、デジタルオシロスコープのアナログ入力部をCMOS ICで1チップ化し、小型、ローパワー、ローコストを実現したので報告する。

2. データアキュイジション IC の構成

図2にデータアキュイジションICの構成を示す。チップ

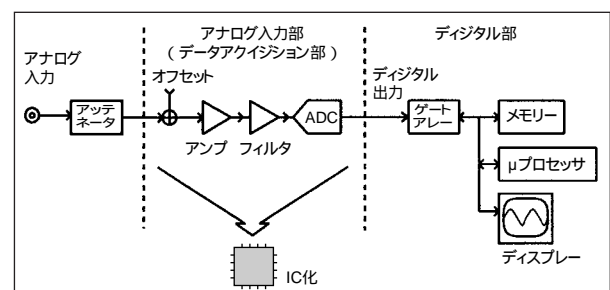


図1 デジタルオシロスコープの構成

*1 中央研究所 エレクトロニクス研究室

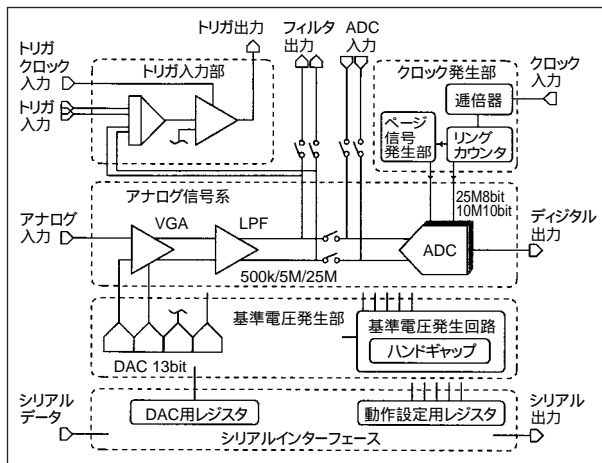


図2 データアキュイジションICの構成

は大別して5つの部分からなる。

(1) アナログ信号系

アナログ信号系は可変ゲインアンプ(VGA)、帯域可変ローパスフィルタ(LPF)、ADCからなり、入力信号のレンジ切り替え、フィルタリング、アナログ信号からデジタル信号への変換を行う。これらは全て、ノイズの影響を受け難くするために完全差動回路を用いた。

(2) 基準電圧発生部

基準電圧発生回路はADC、DA変換器(DAC)の基準電圧と、全回路のバイアス基準電流を発生する。バンドギャップリファレンス回路には、CMOSプロセスに適合するラテラルバイポーラトランジスタを使用した。4チャンネルのDACは分解能13-bitで、オフセット調整、ゲイン調整、トリガリファレンス発生、テスト信号発生に用いる。ラダー抵抗+重み付け加算回路を用いた方式により、トリミング、キャリブレーションなしで12-bit以上の精度を有する。⁽¹⁾

(3) クロック発生部

クロック発生部はADC動作のためのクロックを発生する。クロック通倍部は入力クロックの周波数を2

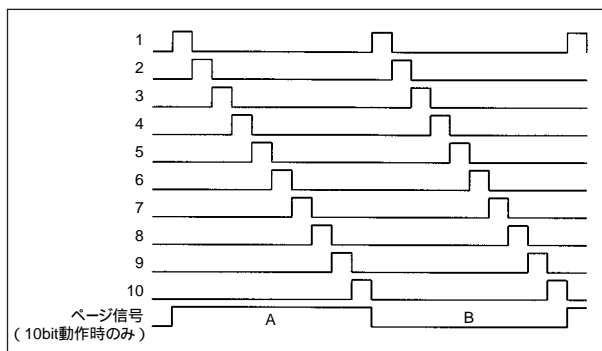


図4A リングカウンタ出力

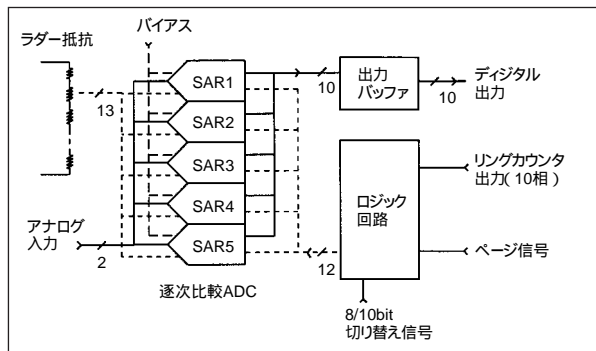


図3 ADCブロック図

倍にする。通倍機構にはディレイラインの遅延量を入力1周期にロックさせるディレイロックループを用いた。リングカウンタはクロックを分周し、10相のクロックを得る。ページ信号発生部は、リングカウンタ出力から10-bit動作のために必要なページ信号を発生する。

(4) トリガ入力部

トリガ入力部ではオシロスコブのトリガ信号を発生する。入力マルチプレクサ、コンパレータ、出力マルチプレクサから成り、クロックに対し同期検出/非同期検出を切り替えることができる。

(5) シリアルインターフェース部(SIF)

シリアルインターフェース部はシリアルデータを受信し、DACの設定やゲイン切り替えなど各種設定を行う。CMOSプロセスは特性の良いスイッチを容易に実現できるという特長があるため、ブロック毎にスイッチを切り替えることでVGA + LPF、あるいはADC単体での使用も可能とした。これによりチップの応用範囲が広がるだけでなく、チップ外部からブロック毎のテスト評価が可能になるというメリット

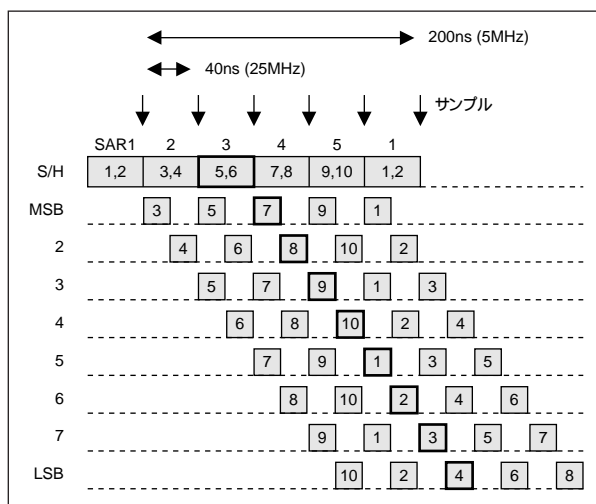


図4B 8bit動作シーケンス

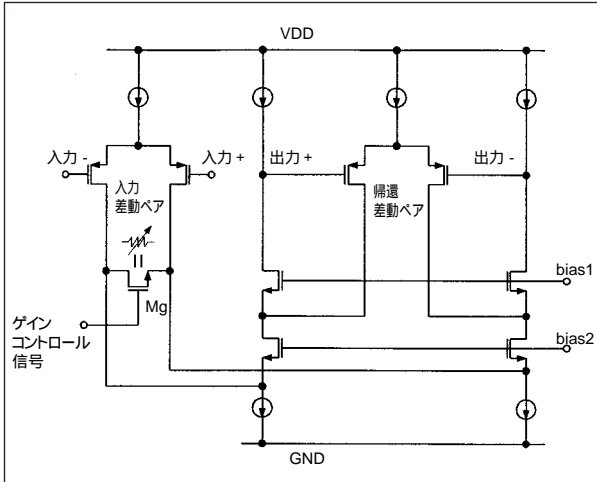


図 5 A VGA回路図

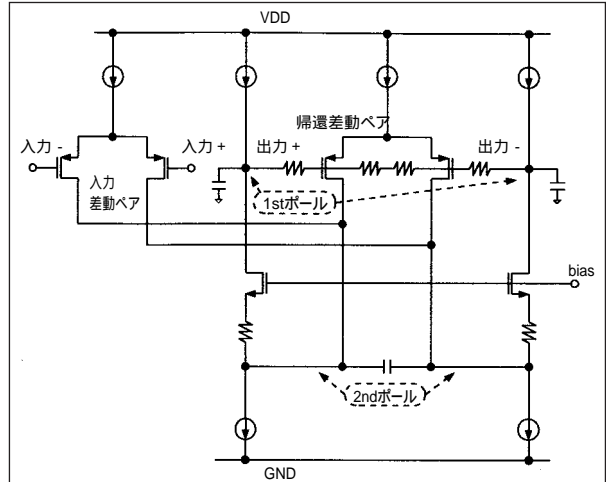


図 5 B LPF回路図

がある。また同様にテストのため、各部(50ヶ所)のDC電圧をチップ外部から測定するためのモニタ回路も内蔵した。

3. 回路構成

3.1 AD変換器(ADC)

図 3 にADCのブロック図を示す。逐次比較(Successive Approximation Register: SAR)ADC 5 個を順番に動作させ、高速化している(インターリーブ動作)。SARの変換方式はスイッチトキャパシタを用いた電荷逐次比較型である。(2)以下に8-bit/10-bit切り替えの動作について説明する。図 4 A にリングカウンタ出力とページ信号(10-bit動作時のみ使用)を示す。図 4 B に8-bit動作時のシーケンスを示す。各SAR ADCは5MSPSで動作し、全体で25MSPS動作となる。初めの2サイクルを入力信号のアクイジションに使用し、クロックサイクル10個で1回のAD変換が完了する。クロックサイクル数とSAR数の間には

クロックサイクル数 / SAR数 = 10 / 5 = 整数
 という関係が成立し、各SARは等間隔でサンプリングする。次に10-bit動作時であるが、入力信号のアクイジションも含め少なくとも12相のクロックが必要である。サンプリング間隔を等しくするためにはクロックサイクル数を例えば20(20/5=整数)にすればよい。しかし単にリングカウンタを20相とすると、8-bit/10-bit切り替え時にリングカウンタ出力の接続を切り替えなければならない、回路が非常に複雑になる。この問題を解決するために、10相のリングカウンタ出力とページ信号をロジック回路で演算し、20相のクロックA1~10、B1~10を発生させた(図 4 C)。例えばA3、B3は「ページ信号A期間にあるクロック3」、「ページ信号B期間にあるクロック3」を示しており、どちらもリングカウンタ出力としては同じクロック3である。図 4 B、4 Cの太線で囲んだ部分を比較すると、同一SARでページの違いを除けば、8-bit / 10-bit動作でクロックは同じであり、動作切り替えがあってもクロック配線のつなぎかえは不要であることがわかる。

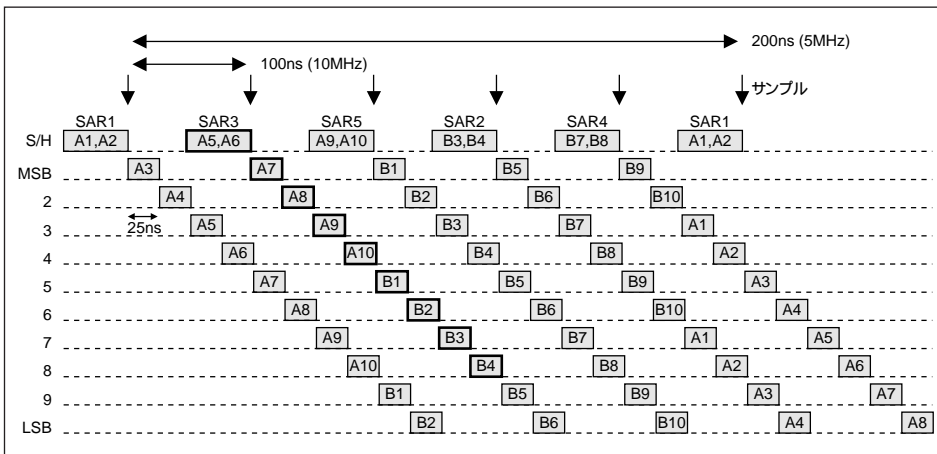


図 4 C 10bit動作シーケンス

3.2 可変ゲインアンプ(VGA)

図 5 A に、VGAの回路を示す。完全差動構成、電流帰還付き折り返しカスコードを使用し、10-bit精度かつ30 MHz帯域を可能にした。ゲインのコントロールはトランジスタMgを抵抗として使用し、その抵抗値をかえることで行っている。この方式は帯域一定のままゲインを切り替える事ができ、

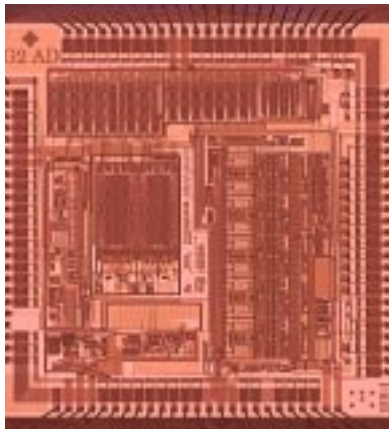


図6 チップの外観

デジタルオシロのレンジ切り替えに適している。⁽³⁾

3.3 ローパスフィルタ(LPF)

図5 BにLPFの回路を示す。基本的にはVGAと同じ構成である。波形品位を重視し、オーバーシュートの少ないベッセルフィルタを採用した。2次フィルタの場合、通常アンプが2つ必要であるが、折り返しカスコードアンプの2ndポールを積極的に使うという方式を採用し、1段で10-bit精度かつ高周波特性の良い2次LPFを低消費電力で実現した。⁽²⁾カットオフ周波数は500 kHz, 5 MHz, 25 MHzと切り替えられる。

4. チップ概要

図6にチップ外観を示す。チップサイズは6.0 mm × 6.0 mm, 1 μmダブルポリ, ダブルメタルのCMOSプロセスを用い

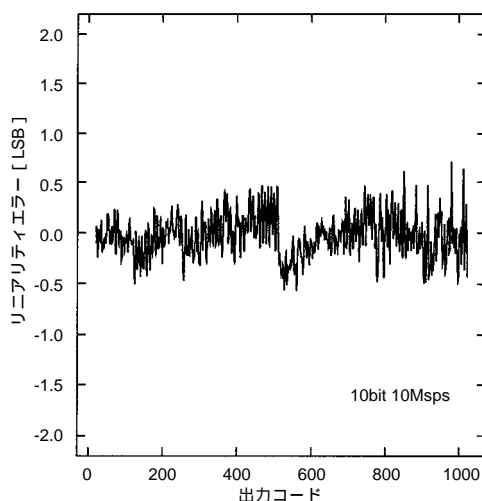


図7 ADCのリニアリティエラー

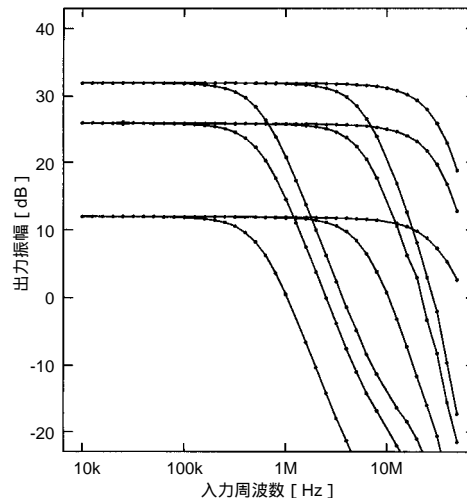


図8 VGA + LPF周波数特性

た。トランジスタ数は14,200である。レイアウトでは、アナログ回路とデジタル回路の干渉を抑えるために電源分離, ガードリング, シールドなどに留意した。シリアルインターフェースはゲートアレイ方式を採用し, 開発期間の短縮を行った。パッケージはリードピッチ0.5 mmの100 pin プラスチックQFPである。

5. 評価結果

図7に10 Msps 10-bit動作時のADCのリニアリティエラーを示す。図8にVGA + LPFの周波数特性を示す。ゲインを切り替えても帯域は一定であることがわかる。

10 Msps 10-bit動作時の消費電力は340 mWである。またパワーダウンモードにより待機時の消費電力を10 mW以下に抑えることができ, ハンドヘルドの応用に適する。

6. ま と め

デジタルオシロスコープ用のデータアキュイジションICを開発し, 小型, 低消費電力を実現した。本ICは当社デジタルスコープDL708に搭載されている。このチップはVGA + LPF, ADC単体でも使用可能であり, 今後その応用範囲をさらに広げることを検討していきたい。

参 考 文 献

- (1) Makoto Imamura and Keisuke Kuwahara, "A 12-bit 28 channel trimless DAC," in ISSCC Dig. Tech. Papers, 1997, pp. 384-385
- (2) Naoya Kusayanagi, et al, "A 25 Msps 8-bit/10 Msps 10-bit CMOS Data Acquisition IC for Digital Storage Oscilloscopes," in CICC, 1997, pp. 301-304
- (3) Khayrollah Hadidi and Haruo Kobayashi, "A 25MHz 20dB Variable Gain Amplifier," in IMTC/94 Conference Proceedings, pp. 780-783