

RF デバイス評価用信号発生器・信号解析器 SHFS & SHFM

SHFS and SHFM Signal Generator and Signal Analyzer for RF Device Tests

中 込 勝 ^{*1} NAKAGOMI Masaru	鴨 下 友 幸 ^{*1} KAMOSHITA Tomoyuki
白 鳥 良 治 ^{*1} SHIRATORI Yoshiharu	田 中 竜 太 ^{*1} TANAKA Ryuuta

RF (Radio Frequency) デバイス評価市場をターゲットに信号発生器SHFSと信号解析器SHFMを開発した。出力レベル制御に電子式ステップアッテネータを採用することで、高信頼性と高速レベル切り替えを可能とした。また、YTO (YIG Tuned Oscillator) を用いた高速切り替え可能なPLL (Phase Locked Loop) を開発して、高純度信号発生と高速周波数切り替えを両立した。SHFSでは直交変調器を自社開発することで、最大6 GHzの周波数でデジタル変調の帯域200 MHz (代表値) を実現した。SHFMでは周波数変換後をデジタル化してレベル測定の際の機差を少なくした。また、30 MHz帯域の中間周波数 (IF) 出力を備えることで、外部のデジタイザによる変調解析に対応した。

We have developed a new SHFS and SHFM signal generator and signal analyzer for RF IC test systems. The SHFS & SHFM features high reliability and high-speed switching by using a solid-state programmable step attenuator for output signal control. Furthermore, we have developed a high-speed phase locked loop (PLL) using YIG tuned oscillator (YTO), thus attaining high purity signal generation and high-speed frequency switching. The SHFS has a 200-MHz quadrature modulation bandwidth up to 6-GHz RF frequency thanks to the wideband quadrature modulator developed in-house. The SHFM has a digital IF section which minimizes product variations. The 30-MHz bandwidth IF output port allows the modulated signal to be analyzed by an external digitizer.

1. はじめに

近年、放送・無線技術の発達により様々な電子機器にその技術が応用されている。携帯電話はアナログ方式からデジタル方式に進化し、更なる高速通信の規格も検討されている。また機能も拡充されており、デジタル放送も受信できるようになった。無線LANも高速化が進められており、ノート型PCはもとより携帯ゲーム機にも標準搭載されている。また、自動車にはカーナビゲーション、VICS (道路交通情報提供システム)、ETC (自動料金支払システム) などのITS (高度道路交通システム) が導入されており、今後も様々なサービスが検討されている。これらのシステムを支えているのが電子機器に組み込まれている無線機能を搭載したRFデバイスである。また、複数の機能からなるシステムをワンチップ化するSoC (System On a Chip) 技術は、RF部も取り込んできており、SoCテスト

にもRF機能テストが求められている。このように、RFデバイスのテストは高速測定と高性能が両立する高度なものとなっている。これらのニーズに対応するため、既存製品から以下の点を重点的に改善し、信号発生器と信号解析器の新規開発を行った。図1に、本器の外観を示す。



図1 SHFMの外観

*1 通信・測定器事業部 高周波計測開発センター

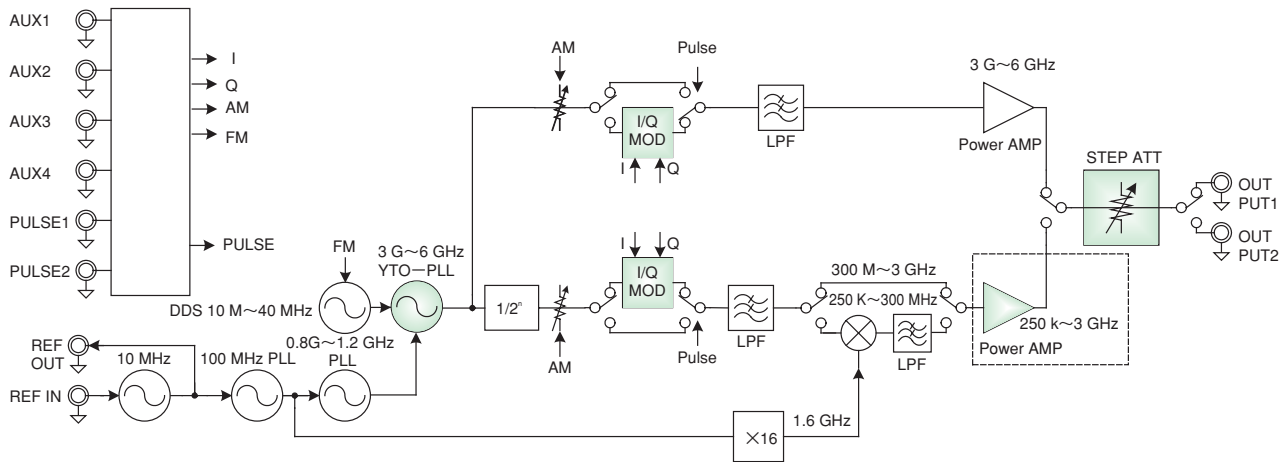


図2 SHFSのブロック図

- (1) 信号純度を改善し、市場のハイエンド測定器と同等にする。
- (2) 機械式モジュールを電子化し、信頼性を向上させる。
- (3) 解析器の中間周波数(IF)部をデジタル化し、測定の自由度を上げる。
- (4) 信号発生器と信号解析器をそれぞれ測定器と同じ単独動作可能として、システム構成の自由度を上げる。

以下に、SHFS、SHFMそれぞれの特長とキーモジュールである YTO-PLL、パワーアンプ(Power AMP)、ステップアッテネータ(STEP ATT)について説明する。

2. 信号発生器 SHFS の特長

SHFSは250 k~6 GHzの信号を出力できる信号発生器で、AM、FM、パルス、IQ変調をかけることができる。図2に、SHFSのブロック図を示す。良好な信号純度を得るために、発振器としてYTO(YIG Tuned Oscillator)を採用した。このYTO-PLL(Phase Locked Loop)は3 G~6 GHzの信号を発生し、2分配される。一方は、そのまま必要に応じて変調がかけられ出力される。もう一方は、2~16分周器で、300 M~3 GHzの信号になってから変調されて出力される。300 MHz以下の信号は1.6 GHzのローカル信号で、周波数変換することで発生させている。また、AM、FM、IQ変調用に4系統、パルス変調用に2系統の変調入力を持っている。表1に、主な仕様を示す。

表1 SHFSの主な仕様

項目	仕様
周波数	範囲:250 K~6 GHz 切り替え:2 ms以下(代表値)
レベル	範囲:-110 dBm~+10 dBm 切り替え:3 ms以下(代表値)
SSB位相ノイズ	-126 dBc/Hz at 2 GHz offset 20 kHz
変調	AM,FM,パルス,IQ
IQ変調帯域幅	200 MHz(-3 dB,代表値)

新規開発したYTO-PLLにより、ベクトル信号発生器としては最高水準と同等な信号純度 -126 dBc/Hz(at 2 GHz offset 20 kHz)と高速周波数切り替え 2 ms以下を実現した。レベル切り替えには電子式ステップアッテネータを採用し、切り替え時間を3 ms以下としている。また、250 k~3 GHzの帯域を持つ広帯域パワーアンプや300 M~6 GHzでIQ変調帯域幅200 MHzを持つ直交変調器は市場にないため、自社開発とした。

3. 信号解析器 SHFM の特長

SHFMは、100~6 GHzの信号レベルを測定する解析装置で、外部デジタイザによる変調解析用の信号を出力できる。図3に、SHFMのブロック図を示す。RF入力のレンジ切り替えにSHFSと同様に電子式ステップアッテネータを採用し、入力レベルに最適なレンジを高速に選択できる。入力信号の周波数に応じてバンドの切り替え(80 M~3 GHz, 3 G~4.6 GHz, 4.6 G~6 GHz)を行い、3 G~6 GHzについては、ミキサにより0.6 G~2.2 GHzに変換される。80 M~3 GHzと変換された0.6 G~2.2 GHzの信号は、信号純度と高速周波数切り替えを両立したYTO-PLLをローカル信号とするアップコンバート用ミキサで中間周波数に変換される。中間周波数(IF)は2段のダウンコンバートを経て55 MHzになり、デジタイズされる。変換されたデジタル信号は、各種処理されてレベル測定が行われる。レベル測定時の分解能帯域幅は1~10 MHzの間で選択できる。また、デジタル信号は1 M~25 MHz(1 kHzステップ)の周波数に変換され、DA変換器でアナログ信号のIFOUTとして出力される。

IFOUTの帯域幅は30 MHzである。

また100~80 MHzの信号に対しては、別入力から直接ADコンバータでデジタイズされ、各種信号処理が施される。表2に、主な仕様を示す。

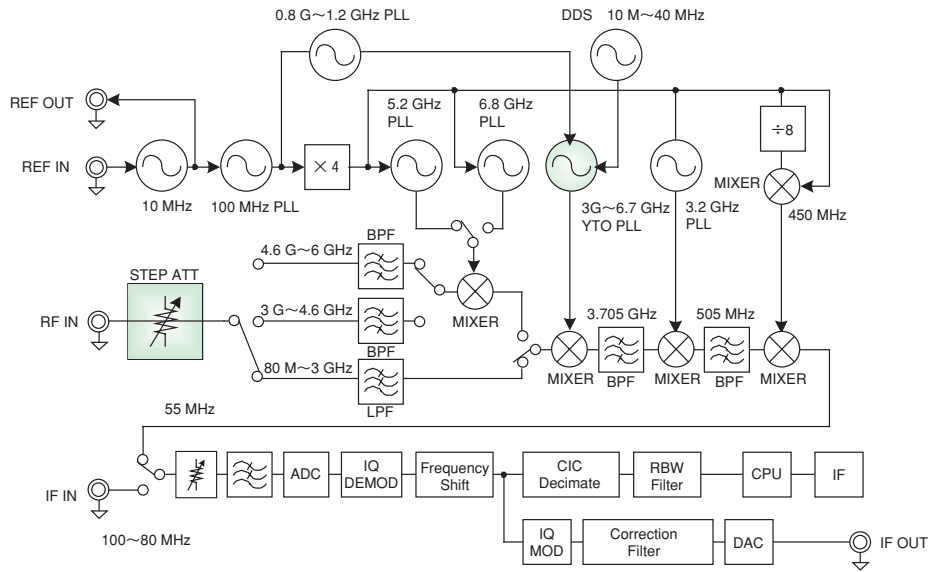


図3 SHFMのブロック図

4. YTO-PLL

図4に、ハードウェア構成を示す。3 G~6 GHzの信号は、100 MHz PLLを基準とし、①3 G~6.705 GHz YTO-PLL、②0.8 G~1.2 GHz PLL、③10 M~40 MHz DDS (Direct Digital Synthesizer)の3ブロックが動作することにより生成される。

YTO-PLLの高速周波数切り替えと低位相ノイズ化には、YTOメインコイルドライバが重要な要素の一つとなる。同ドライバは、DACによってコイル駆動電流を粗調整する機能を持つ。周波数静定時はDAC出力の低域通過フィルタが低カットオフ周波数に、周波数切り替え時はDAC制御信号に連動して高カットオフ周波数へ変更することで、低ノイズ・高速駆動電流切り替えを可能にした。DAC出力のフィルタで除去しきれないノイズは、メインコイルと並列にコンデンサと抵抗を付け、ドライバによる位相ノイズ劣化を最小化した。この手段はコイルの直列等価抵抗の温度ドリフトに起因する問題を引き起こすが、温度補償抵抗による温度補償回路を採用し、問題を解決した。

PLLのフィードバックには高調波ミキサを使用し、位

相比較器などに起因した帯域内フロアの劣化を最小化した。PLLのループ帯域は2通りに選択可能であり、近傍・遠傍の位相ノイズ特性を目的に応じて調整できる。

0.8 G~1.2 GHz PLLは、自社開発の1 GHz帯ローノイズVCO (Voltage-Controlled Oscillator)、サンプリングPLL、プログラマブル1/N分周器を採用し、PLL帯域を広帯域に設定することで、近傍の位相ノイズ性能と高速周波数切り替えを達成した。10 M~40 MHz DDSは、0.1 Hzステップでの周波数設定が可能であり、FM変調時には、変調信号に基づいてその出力信号をFM変調し、YTO-PLLに供給する。また、各PLLにおいて、ループフィルタに低ノイズ型OPアンプと低抵抗を使用し、更にループ帯域幅の最適化などにより、低位相ノイズ性能を達成した。

100 MHz PLLは、周波数信号発生部の位相ノイズ性能を決める極めて重要なPLLであり、高純度100 MHz VCXO (Voltage Controlled Xtal Oscillator)を自社開発して、低位相ノイズ性能を可能にした。

表2 SHFMの主な仕様

項目	仕様
周波数	RF入力: 80 M~6 GHz IF入力: 100~80 MHz 周波数切り替え: 2 ms以下 (代表値)
レベル	範囲: -130 dBm ~ +20 dBm レンジ切り替え: 1.5 ms以下
IF出力	周波数: 1 M~25 MHz (1 kHzステップ) 帯域幅: 30 MHz

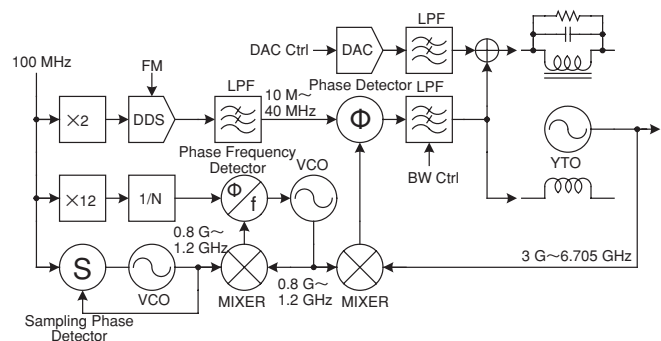


図4 YTO-PLLの構成

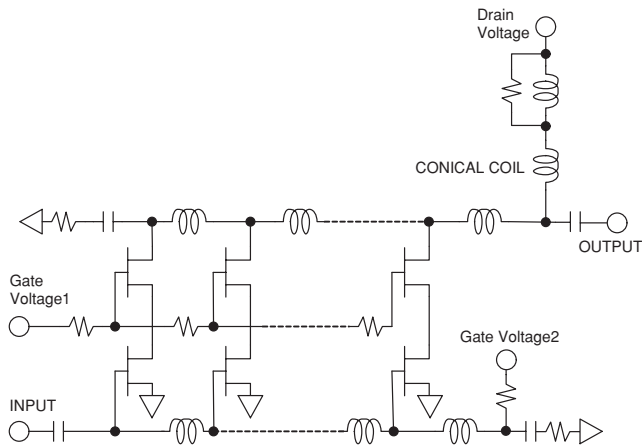


図5 パワーアンプモジュールの回路構成

5. パワーアンプ

250 k-3 GHz の広帯域な信号を低歪で出力するための出力段パワーアンプを開発した。図5に、回路構成を示す。

パワーアンプはMMIC (Microwave Monolithic IC) で、0.5 μm InGaAs pHEMTプロセスを使用している。MMIC回路は分布型6段構成で、各段のFETをカスコード接続構造にしている。チップ面積は約2 mm \times 3 mmで、18 dBの利得を出している。出力性能は、1 dB利得圧縮ポイント(P1dB) = +25 dBm, 出力3次インターセプトポイント(OIP3) = +35 dBmである。

250 kHz から3 GHz までの利得を極力フラットにするためには、バイアス回路のインピーダンスを広帯域に高い値に保つ必要があり、チップ外に実装するチョークコイルが重要となるが、ここには無共振の円錐形インダクタ(CONICAL COIL)と低域用フェライトコアインダクタを組み合わせて、 ± 1.5 dB以内の良好な利得平坦性を実現した。

パッケージは、高い信頼性を得るために放熱と耐環境性能を考慮して、金属とセラミックの積層構造のハーメチックシールパッケージを設計し、アンプをモジュール化した。

表3 ステップアッテネータ性能

項目	性能
周波数範囲	250 k-6 GHz
最大減衰量	SHFS用 110 dB
	SHFM用 55 dB
減衰量ステップ	5 dB
切り替え時間 (0.1 dBセトリング)	ソース用 800 μs typ.
	メジャー用 400 μs typ.

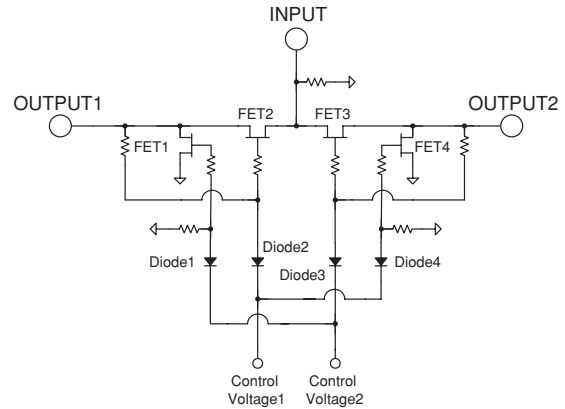


図6 スイッチのバイアス回路

6. ステップアッテネータ

SHFS, SHFM共にレベル設定部用には電子式ステップアッテネータを開発し、従来のメカニカル式の弱点であった磨耗故障モードをなくして信頼性を高めると共に、1 ms以下の高速切り替えを実現した。表3に、性能を示す。

アッテネータ素子はアルミナ基板上に薄膜抵抗を用いて作製され、セル切り替え用スイッチ素子にはGaAsFETスイッチを使用している。

250 kHzの低周波数域でも歪特性を良好にし、+20 dBmの入力レベルを実現するために、スイッチのゲートバイアス回路に直列にOFF容量の小さいダイオードを付加してゲート端子を高インピーダンスに保っている(図6)。また、110 dBの最大減衰量時にも減衰量確度を保つために、制御回路部、RF部共にしっかりとしたシールド構造を用いてモジュール化した。

7. おわりに

RFデバイス評価(半導体検査)向けに開発した信号発生器と信号解析器の構成、特長、および新規開発したモジュールについて紹介した。高速測定と信頼性を向上させており、RFデバイス評価のスループット向上に貢献できる。

参考文献

- (1) Ryuichi Okamura, Yoshiharu Shiratori, Satoshi Yoshitake, "Wide-Band Low Phase Noise VCO", SICE Annual Conference 2005, 2005, pp. 2158-2162

* 'VICS' は、財団法人道路交通情報通信システムセンターの登録商標です。