

LSI テスト支援システム 仮想テスタ PreTestStation

LSI Test Support System —PreTestStation: Virtual Tester—

佐野 直樹^{*1} 久保 典夫^{*1}
 SANO Naoki KUBO Norio

小笠原 敦^{*2} 安斉 定樹^{*2}
 OGASAWARA Atsushi ANZAI Sadaki

仮想テスタ PreTestStation は、当社の EDA ソフト “仮想 ICE” の技術と IC テスト技術の融合から生まれた LSI テスト支援システムである。ワークステーションの HDL 論理シミュレータ上で動作し、テスト技術者ならびに IC 設計者に共通な仮想テスト環境を提供する。ハードウェア記述言語 Verilog-HDL で記述された高精度・高速な ATE モデル、テスタ OS およびテストデバッカーから構成される。

テスト対象となる被試験デバイス (DUT) の設計情報である DUT モデルを PreTestStation に組み込み、検査用テストプログラムと併せて一体シミュレーションすることにより、実テスタを使用することなく、デバイス完成前にテストプログラムの早期検証が可能となり、デバイス完成後のテストデバック期間の短縮を図ることができる。本稿では PreTestStation のシステム概要ならびにその適用結果について述べる。

A virtual tester "PreTestStation" is an LSI test support system, which is integrated Yokogawa's own technologies of EDA software "virtual ICE" and IC test. The PreTestStation, which consists of an accurate and high-speed ATE model written in Verilog-HDL and tester OS integrated with testing and debugging capabilities, runs on the Verilog simulator on a workstation and offers a virtual test environment common to test engineers and IC designers.

The PreTestStation allows an early verification of test programs before the completion of the first silicon without a real tester by simulating test programs with a target DUT model and an ATE model, and which results in the reduction of testing and debugging time after the device completion. This paper describes the outline of PreTestStation and its application results.

1. はじめに

近年、LSI はその大規模化・高性能化・複雑化、プロセスの微細化、システム LSI 化が進み、LSI テストのための負担は益々増大する傾向にあり、そのテストデバック期間の短縮およびテストコストの低減が重要な課題となっている。

現状のテストデバックでは、そのテストプログラムの本格的な検証は、デバイス完成後にテスタ上でデバイスを使用して行わざるを得ない。デバックの過程で問題が発生した場合には、テストプログラムそれ自体の問題か、デバイスの不良か、設計上の問題か、パフォーマンスボードの問題か、あるいはテスタに起因する制約によるものかなどの見極めが難しく、その問題点の切り分け、解決に余分な時間を費やしていた⁽¹⁾。結果として、本来

のデバイス評価になかなか移れず、テストデバック期間の増大を招いていた。

テストデバック期間の短縮を実現するためには、デバイス完成前にテスタを使わずに、でき得限りのテストプログラムの検証を済ませ、問題点を事前に抽出し、解決あるいは予測しておくことが望ましい。

当社では、LSI テスト支援システムの一つとして今回ワークステーション上の HDL 論理シミュレータ上で動作する仮想テスタ「PreTestStation」を開発し、製品化した。PreTestStation を用いることで、論理シミュレータ上に実テスト環境に近い仮想テスト環境を構築することが可能となり、デバイスの完成を待たずにテストプログラムの前倒しの検証が行えるようになった。PreTestStation は、テスト技術者と IC 設計者との共通なテストプラットフォームとして、両者が連携を取りながらテストデバックを進めて行くことを可能にするものである。

PreTestStation は、当社の有するテスト技術と EDA 技術を融合して開発されたものであり、当社製の EDA ソフ

*1 ATE 事業本部 第 1 事業部 SOC センター

*2 ATE 事業本部 開発プロジェクトセンター

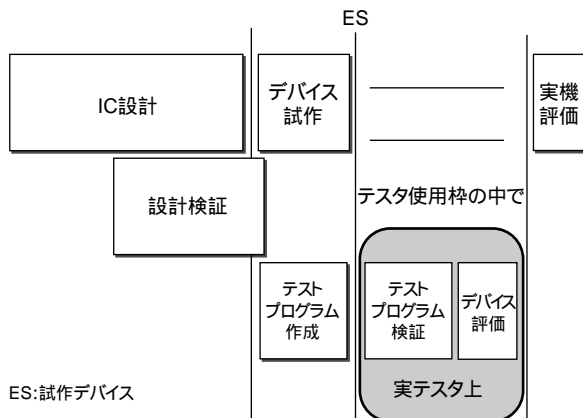


図1 現状のテストデバックフロー

ト「仮想 ICE」⁽²⁾(ハード/ソフト協調検証ツール)のコンセプト(ハードの試作完成前にハード/ソフトの早期検証を実現する)がその基本アイデアとなっている。

本稿では、テストデバックの現状と問題点、PreTestStationのシステム概要、適用結果のまとめについて述べる。

2. テストデバックの現状と問題点

現状のテストデバックでは、図1に示すようにテスト技術者が主体となり、デバイス完成後に、実テスト上でデバイスを用いてまずテストプログラムの検証を、次にデバイス評価を行うといった方法が一般的である。最終的には、評価デバイスはIC設計者に渡され、評価デバイスを搭載した製品としての実機評価が行われる。

しかしながら、現状のやり方では下記のような問題点があり、テストデバック期間の短縮に限界がきている。

- ・事前デバックが不十分な段階でテスト上でのテストプログラムの検証に着手せざるを得なく、問題が発生した場合にテストプログラム自体に起因する問題か、デバイスの不良か、設計上の不具合か、パフォーマンスボードの問題か、あるいはテストに起因する制約によるものかなどの問題点の切り分けが難しく、無駄な時間を費やしている。
- ・テスト使用枠の制約の下でのデバックを余儀なくされるため、使いたい時に十分な時間だけテストが使用できず、デバック効率が上がらない。
- ・問題の要因究明にはIC設計者の協力が往々にして必要とされるが、テスト技術者の扱うテスト主体のテスト環境とIC設計者が日頃扱う設計環境とはギャップがあり、両環境間においてテスト情報と設計情報の対応付けが容易でなく、問題解決に時間を要している。
- ・デバックの過程で設計に起因するような問題が生じた場合には、デバイスの再設計・再試作となり、トータルコストの増大、開発期間の遅れを招くことになる。

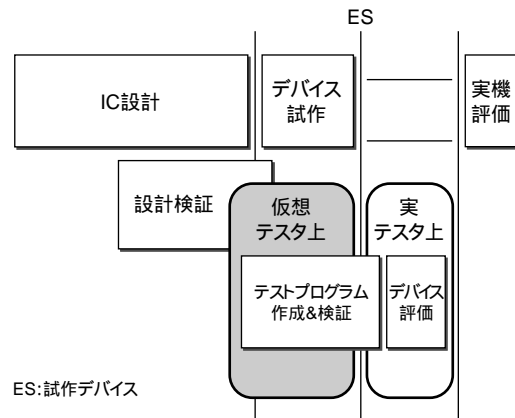


図2 PreTestStation によるテストデバックフロー

3. PreTestStation のシステム概要

3.1 位置付け

図2に、PreTestStation(以下、PTSと略記)によるテストデバックフローを示す。PTSによるテストデバック手法とは、実テストの代わりに仮想テストを用い、デバイス完成前にこの仮想テスト上で、でき得限りのテストプログラムの検証を済ませておき、デバイス完成後には、実テストを用いて仮想テストで未実施のテストプログラムの検証をまず行い、デバイス評価を重点的に進めようとするものである。

3.2 システム構成と特長

図3に、PTSのシステム構成を示す。PTSはワークステーション(WS)上で動作するHDL論理シミュレータ(Verilog/Bilingualシミュレータ)ベースの仮想テスト環境であり、実テストハードに対応する「ATEモデル」、実テストソフトに対応する「テストOS」(TS Virtualizer)およびテストデバック環境「PTS デバッカー」より構成される。

ATEモデルならびにテストOS上に、それぞれダウンロードされたテストパターンとメインプログラムよりなるテストプログラム、およびテスト対象となる被試験デバイス(DUT)の設計情報であるDUTモデル(論理ネットリストGateまたはRTLデータ)を含むパフォーマンスボードモデル(PFBモデル)を一体シミュレーションすることにより、テストプログラム検証を、効率的かつ精度よく行うことができる。

ATEモデルは、実テストハードの機能・タイミングを忠実にハードウェア記述言語Verilog-HDLで記述されたシミュレーションモデルである。当社のHDL設計技術およびノウハウによるBehaviorモデル化技術により、高精度を維持しながら高速動作を実現している。現在、ATEモデルとしては、当社の汎用VLSIテスト「TS6000H+」

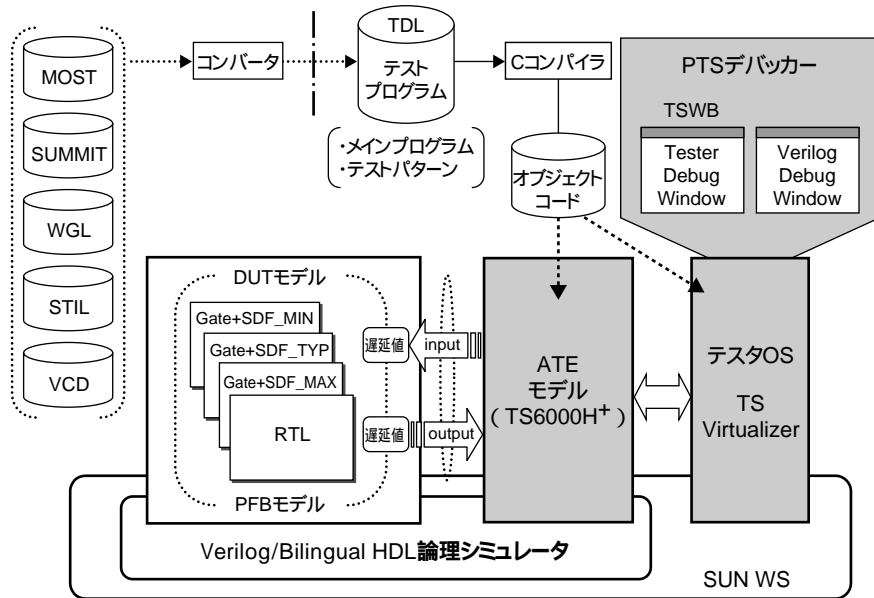


図3 PreTestStation のシステム構成

用モデルをサポートしている。テスト OS (TS Virtualizer) は、実テスト上で動作するソフトウェアと同一のものである。PTS用デバッカーは、実テストと同一画面・同一操作を有するテスト総合デバックツール TSWBと、HDL 論理シミュレータに標準装備されている波形表示ツールとから成る。

テストプログラムは、実テストにダウンロードするものと同一のものである。当社のテスト言語形式 TDL がその基本であるが、MOST, SUMMIT, WGL, STIL などの他形式言語の場合にも、当社コンバータソフトにより TDL に変換可能であり、今までのテストプログラムの資産の継承を可能とした。また、IC 設計者がよく取り扱う HDL 論理シミュレータからのダンプデータである VCD (Value Change Dump) ファイルから、直接テストパターンに変換することも可能である。

また、テストプログラム中のメインプログラムの簡易検証用に、HDL 論理シミュレータを使用しなくても利用できる Virtualizer モードも用意している。

3.3 デバック手順

PTS を使用する上での事前準備、および実行手順の代表的な流れを以下に示す。

(1) 事前準備

- TDL 形式テストプログラムと実行オブジェクトの作成
- メインプログラムとテストパターンのコンパイル
- PFB モデルの HDL ファイルの作成
- DUT モデルピンと ATE モデルピンの HDL での配線接続
- DUT モデルピンと ATE モデルピンをつなぐ全配線に対して必要に応じて遅延値の設定 (default は遅延なし)

(2) 実行手順

- テスタ総合デバックツール TSWB の起動
- 仮想テストの起動 (自動的に HDL 論理シミュレータが起動)
- テストプログラム (メインとパターン) のロード
- テストプログラムによる連続パターンシミュレーション
- パターン実行終了時の DUT モデル内部状態を保持したまま、次のパターンを実行
- パターン Fail 検出直後に HDL 論理シミュレータを停止
- Fail Map 画面で Fail したアドレス、ピン、出力値と期待値の差分を表示
- 波形表示ツールを用いた Fail アドレスにおける解析、デバック
- Shmo (シュム) ツールによるタイミングマージンの確認

3.4 新テストデバック手法の利点

PTS によるシミュレーションベースの新たなテストデバック手法には、以下のような利点がある。

- テストプログラムの事前検証を十分行うことができるので、問題点の事前の解決あるいは予測が可能となる。
- PTS 上で修正されたテストプログラム (メインとパターン) は、そのまま実テストで使用することができる。
- PTS は WS 上で動作する仮想テスト環境であり、時間、場所を選ばずに使用できる。
- テスト技術者と IC 設計者とのテスト環境の共有化が可能であり、問題の要因究明の際には両者が協力しながら、効率良く作業を進めることができる。
- PTS でのデバック過程で設計に起因する問題が生じた

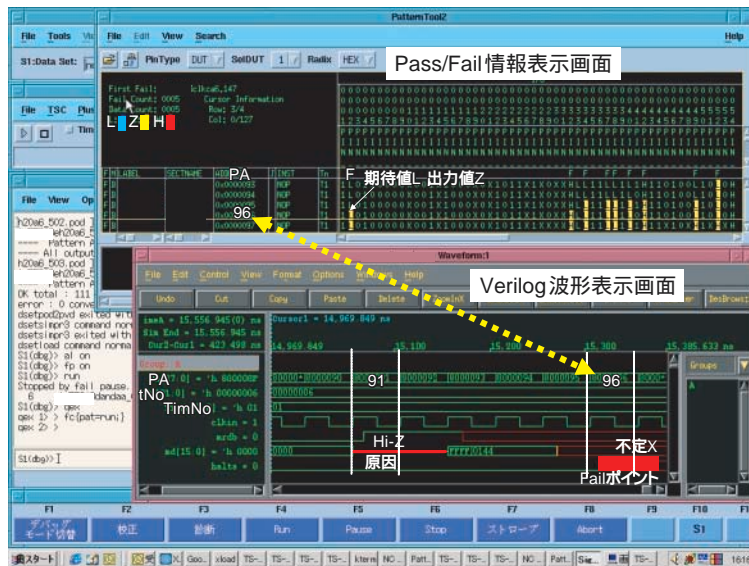


図4 PreTestStationテストデバック画面の一例

場合にも、設計側に早期にフィードバックができるため、デバイス再試作の防止につながる。

- ・実テスタを本来のデバイス評価のために、優先して使用できるようになるため、テスタの有効利用が可能となる。

4. PreTestStation の適用結果のまとめ

PreTestStationのユーザ適用結果から、効果的な事例を以下にまとめる。

- (1) テストプログラムの検証 (メインプログラムとテストパターン両面において)に有効である。
- (2) Shmo(シュモ)ツールによるタイミングマージンの確認も可能である。
- (3) HDL論理シミュレータの波形表示には、パターンアドレス、テストNo.、入力タイミングセットの表示があるため Fail Map 表示との対応付けが取り易く、Fail解析を効率よく進めることができる。テスト技術者にとっては、新しいデバック感覚である。図4に、例を示す。
- (4) 処理時間は実用的なレベルにある。テストパターンが複数に分割されている場合には、PreTestStationを複数使用し、同時処理することで全体の処理時間を短縮することが可能である。
- (5) 電源電圧 (MIN/TYP/MAX)とDUTモデルのセルライブラリ遅延 (Gate_MIN/TYP/MAX)とのデータ相関を取ることで、電源電圧/周波数マージンに対応するテストプログラムの検証も可能である。
- (6) DUTモデルのセルライブラリ遅延と、PFBモデルの遅延の組み合わせによるテストパターンの Pass/Fail 結果から、Pass させるための入力タイミング

セットの変更、出力ストロブタイミングの変更、出力パターンのマスク、テストパターンの切り出し直しなど、修正条件を予測することができる。これにより、試作用テストプログラムからバラツキを十分考慮した量産用テストプログラムへ、円滑に移行するための条件出しが期待できる。

5. おわりに

LSI テスト支援システムの一環として、テストプログラムの早期検証を可能とする仮想テスタPreTestStationの概要を紹介した。

PreTestStationは、テスト技術者とIC設計者との共通なテストプラットフォームとして、新たなテストデバック手法を提供するもので、LSI テストデバック期間の短縮およびテストコストの低減に貢献するものと確信している。

これからも市場の様々なニーズを吸収し、積極的な製品展開に取り組むと共に、新たなテストデバック手法の普及に向けて、テスト技術者同士あるいはテスト技術者とIC設計者同士が、共にオープンに意見交換できるような交流の場も、併せて提供してゆきたいと考えている。

参考文献

- (1) 加賀博史, “第2章 設計者に必要なテスト工程の基礎知識”, Design Wave Magazine, 2001. 3, p. 35-45
- (2) 小林文彦 他, “ハード/ソフト協調検証ツール 仮想ICE”, 横河技報, vol. 45, no. 2, 2001, p. 119-122

* 仮想ICEは、横河電機の登録商標、PreTestStationは商標です。その他文中の製品名、型名は、各社の商標、若しくは登録商標です。