

ハード/ソフト協調検証ツール 仮想ICE

Hardware/Software Co-Verification Tool VirtualICE

小林 文彦 ^{*1}	島田 克之 ^{*1}
KOBAYASHI Fumihiko	SHIMADA Katsuyuki
山本 剛士 ^{*1}	小笠原 敦 ^{*2}
YAMAMOTO Takeshi	OGASAWARA Atsushi

仮想ICEは、Verilog-HDLで記述されたCPUのシミュレーションモデルと、ICE(In-Circuit Emulator)機能を統合した設計支援ソフトで、EWSのVerilogシミュレータ上で動作する。CPUモデルは、フルファンクションモードだけでなく簡易バスアクセスモードでも動作させることができ、ソフトウェアを書くことなく、単純なリード/ライトコマンドによって初期のハードウェアデバッグを行うことができる。実際のICEが備えている基本的な機能は、殆どサポートしている。このICE機能の付加により、ハードとソフトの開発環境を密接に結合することが初めて可能になり、ハード/ソフトのコンカレント・エンジニアリングが実現できる。従って、システムLSI/ASICの再設計、ボードの再試作等のリスクを回避することができ、開発期間の大幅な短縮(当社比 $\frac{1}{3}$)を図ることが可能になる。ここでは、仮想ICEの概要について述べると共に、システムLSI開発のための統合検証環境「Vmlink」「HiperICE」についても概説する。

VirtualICE is a co-verification tool that runs on the Verilog simulator on EWSs, consisting of a set of Verilog-HDL CPU models integrated with In-Circuit-Emulator (ICE) capabilities. VirtualICE provides not only a full-functional mode but also a bus-access mode, in which it allows the targetless debugging in the early design phase by just issuing simple read/write commands without describing any software programs. VirtualICE provides almost all of the functions provided by a real ICE. The integration of ICE functions into CPU models makes it possible to closely integrate hardware development environment with software development environment, and as a result concurrent engineering of hardware and software is possible. This verification reduces the risks of System LSI/ASIC/PCB respins or design changes, which results in the large reduction of turnaround time (1/3 reduction in our case). This paper describes the outline of VirtualICE including the integrated verification environment for System LSI development such as "Vmlink" and "HiperICE".

1. はじめに

携帯電話に代表される現在の組み込み機器システムでは、その実現手段としてシステムLSI化が主流となっている。これらのシステムLSI開発においては、開発期間短縮及びコスト低減の要求から、試作品を作る前に、予測出来得る全ての問題点を、いかにして検証/解決するかが重要である⁽¹⁾。当社では、1994年に世界に先駆けて、論理シミュレータベースのハード/ソフト協調検証ツール「仮想ICE」を製品化し、1995年より販売を開始した。仮想ICEを用いることで、論理シミュレータ上に限りなく実機に近い検証環境を構築することが可能となり、試作

品の完成を待たずにハードとソフトを統合した検証が可能となった⁽²⁾⁽³⁾。

そもそも当社では、1993年に通信制御用ICの開発を担当したことをきっかけとし、開発期間短縮の問題並びに設計品質向上の問題に着目していた。その解決手段として独自に開発したツールが仮想ICEである。その意味で、仮想ICEは、実際のユーザの立場に立って、ユーザ自身の必要性から生まれたツールである。仮想ICEは現在、半導体メーカー17社、システムメーカー46社にて約200ライセンス(2001年2月現在)の販売実績を持つ協調検証ツールである。

2. ツールの概要

仮想ICEはHDL論理シミュレータベースのハード/ソフト協調検証ツールである。高精度、高速のCPU/DSPモ

*1 R&Dセンター デバイスプロジェクトセンター

*2 モーション&メジャメント事業部 半導体ソリューションセンター

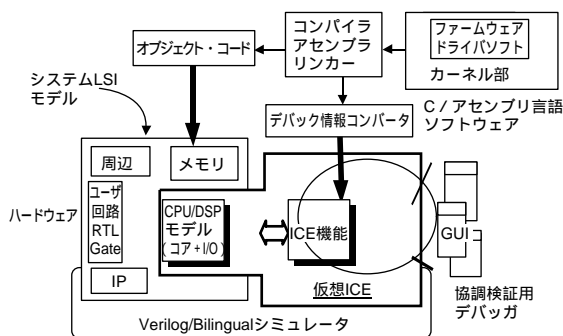


図1 仮想ICEの構成

「仮想ICEの構成」と強力な「協調検証用デバッガ」より構成され、ワークステーション(EWS)上のVerilog/BilingualのHDL論理シミュレータ上で動作する。(図1)仮想ICEを、ユーザ回路のHDL記述、メモリ/周辺回路のHDLモデル、或いはIPプロバイダの提供するソフト/ハードIPなど、ターゲットとなるシステムLSIモデルを構成する各モジュールと共に、シミュレーションすることで、限りなく実機に近い検証環境の構築が可能である。

2.1 CPU/DSPモデルライブラリ

仮想ICEは、表1に示す各社のCPU/DSPモデルライブラリをサポートしている。CPU/DSPモデルライブラリは、次のいずれかのシミュレーションモデルに仮想ICEとの接続インタフェースを組み込み、ICE機能を実現させたものである。

- ・当社で開発するVerilog-HDLピヘイピアモデル。
 - ・各社の提供するVerilog-HDL(ピヘイピア/RTL/ゲート)モデル。
 - ・各社の提供するCモデル。
- 特に、当社で開発するVerilog-HDLピヘイピアモデルには次の特長がある。
- ・HDL設計技術及びノウハウによるBehaviorモデル化技術により、高精度を維持しながらもCモデルを凌駕する高速動作を実現(毎秒5万命令: ARM7TDMI, NC-Verilog v1.22), SunUltra30(300 MHz)。
 - ・半導体メーカーの技術協力によりCPU/DSPのパイプラインやキャッシュ動作のみならずCPU/DSP内蔵の周辺I/Oモジュールの動作も忠実にモデル化。

仮想ICEのCPU/DSPモデルライブラリ(Verilog-HDLモデル)は、通常のVerilogモジュールを呼び出すのと同様の手順でユーザ設計/検証環境に簡単に組み込むことができ、実チップと極めて近い動作シミュレーションができる。更に、半導体メーカー若しくはCPU/DSPベンダまたはシステムメーカーの保有するVerilog-HDL(RTL)モデルやCモデルをそのまま組み込むため、CPU/DSPモデル接続パッケージ「SocketNavigator」も用意している。

表1 仮想ICE CPU/DSPモデルライブラリ

ARM	ARM7TDMI, ARM9 シリーズ**
日立	SH(SH7032/7034), SH(SH7604/7042/7043), SH(SH7708), SH1コア-Gate SH4-RTL, SH5-RTL **, SH2-DSP コア-RTL **, H(H8/3042/3048)
富士通	Sparclite(MB86831etc)
NEC	V851/853, VR4102-RTL, VR4120 コア-RTL, NB85E/EC, NU85E-RTL, NASPXK2/K3, Nx77111/113
MIPS	R4640/4645/4650/4700/4720
松下	AM3 シリーズ(AM30/32R/32C)RTL
川崎製鉄	KC82/80-RTL
三洋	LC680100A-RTL
DSPGr	OakDSR(AXYS 社製 C モデル), TeakliteDSP-RTL

**計画 2001/3

2.2 協調検証用デバッガ

仮想ICEのデバッガは、当社がハード/ソフト協調検証用として独自に開発した協調検証用デバッガである。このデバッガは、全ての仮想ICEのCPU/DSPモデルに共通に使用できる。通常のハードICEによるデバッグ手法と、仮想ICEによるデバッグ手法の根本的な相違は、仮想ICEが単一シミュレーション方式を採用していることにより生じる。つまり、ハード、ソフト、デバッグ環境が単一のエンジン(シミュレータ)上で動作しているため、ハード/ソフトに関わるいずれかのブレークが発生すると、CPU/DSPユーザ回路を含むシステムLSIモデル全体が瞬時に停止する。つまり、CPU/DSPが止まれば同時にユーザ回路他も止まり、またユーザ回路が止まれば同時にCPU/DSP他も止まる、時間滑りは一切無い。この状態で、シミュレーション時間を一切進めることなくシステムLSIモデルの内部状態、例えばCPU/DSPの内部レジスタ、メモリ、ユーザ回路内部変数のリード/ライト等ができる。

仮想ICEには、通常のソフトウェアのデバッグ機能に加えて、システムLSI開発に必要なと思われる下記の検証機能が実装されている。

- ・スアクセス機能(CPU/DSPモデルのプログラムレスでのリード/ライト簡易発生機構)
- ・ハード/ソフトのコンカレント・ブレーク機能(ハード信号トリガとソフト実行時トリガとの同時ブレーク)
- ・SuperTrace機能(C関数実行履歴の波形表示/解析)
- ・キャッシュモニター機能(CPU内蔵キャッシュ・サイズのヒット率/ミス率及びその実行時間測定)
- ・マルチCPU/DSPシミュレーション機能(マルチCPU/DSPのプログラムの同時起動, 停止, デバッグ)

仮想ICEが実行するオブジェクトコードは、実際のCPU/DSPが実行するものと全く同一のオブジェクトコードである。従って、オブジェクトコード生成のためのコンパイラ/アセンブラ/リンカなどの言語処理系も、実際のCPU/DSPと同様に、半導体メーカー若しくはCPU/DSPベンダオリジナル, GreenHills社, Cygnus社, RTOS

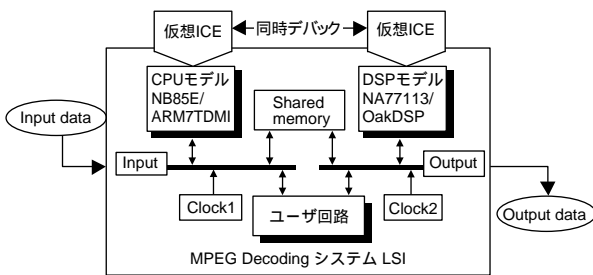


図2 CPU/DSPマルチコア・システムの検証環境例

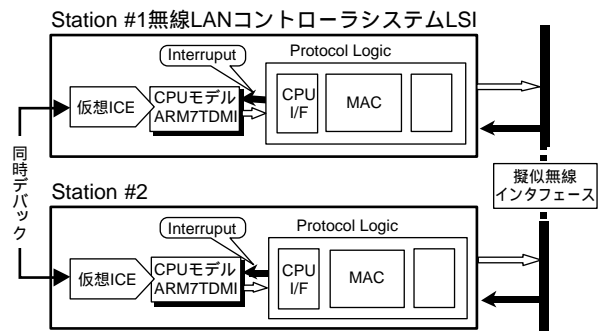


図3 通信システムの検証環境例

メーカー提供のものに対応している。また、ソフトウェア部分のデバッガとして、GreenHills社のMULTI, GNUのGDBを利用するためのインタフェース「VMULTI」, 「VDI」もそれぞれ用意している。

3. 応用例

仮想ICEを使用することにより、ハードの試作品を待たずに下記のような検証、総合評価が可能である。

- ・バスアクセスによる、ファームウェアのできていない段階からのユーザ回路の初期テスト
 - ・非同期な割り込み処理, 多重割り込み処理, 例外処理を含むファームウェア/ドライバソフトのデバッグ
 - ・ハード/ソフトのコンカレントブレイク, SuperTraceによるハード/ソフトの実行時間, 割り込み応答・処理時間の測定, システム性能見積り, ハード/ソフトのアーキテクチャ・トレードオフ
 - ・キャッシュモニターによるキャッシュサイズ/方式/性能などを考慮した最適構成見積り
 - ・CPU/DSPマルチコアシステム(図2)やマルチCPUコアシステムや通信システム(図3)などの機能, タイミング, 仕様確認検証
 - ・システムLSIのアーキテクチャ実現性/性能検討
 - ・実機デバッグ時のハード/ソフトの動作解析
 - ・テストプログラムによるLSIテスターへの機能用テストベクタの切り出し
- さらに、最近の傾向として、ソフト設計者がHDL(特にVerilog-HDL)によるモデリング手法及びHDL論理シミュレーションによる検証手法の旨みを理解した上で、新たなデバッグ手法として仮想ICEをシステム検証に効率的に活

用する例が増えて来ている。

4. システムLSI開発のための統合検証環境

デジタル信号処理系, 通信処理系, 画像処理系などの設計では、上位段階で理論やアルゴリズムをまず検証し、次にこれをシステムLSIとしてハード/ソフトとして実装してゆくという、所謂トップダウン設計手法が求められている。そのためには、上位設計ツールと協調検証ツールとが密接に連動するようなツールチェーンを構築することも必要である。また、システムLSIのユーザ回路規模の増大に伴う協調検証時のシミュレーション速度の低下を抑えるために、ハードウェア・エミュレータを利用する機会も増えて来っており、エミュレータ上でのハード/ソフト協調検証環境の構築も併せて求められている。当社では、上位設計ツールとして米国MathWorks社のMATLAB/SimulinkとHDL論理シミュレータとのコシミュレーション・インタフェースソフト「Vmlink」を開発し、1998年4月より販売を開始し、約35ライセンス(2001年2月現在)の販売実績を持つ。

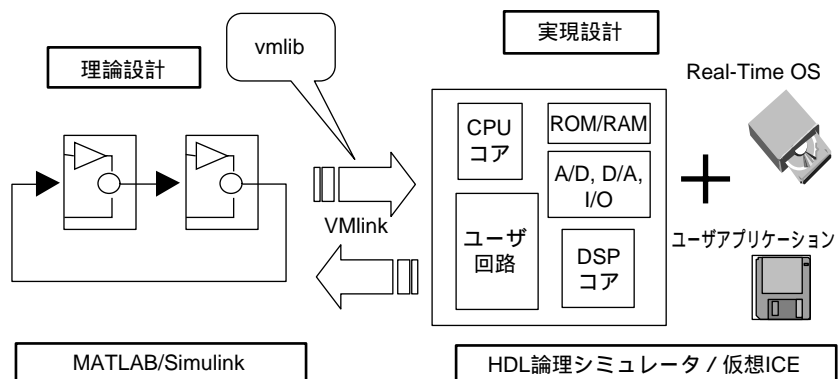


図4 Vmlinkの位置付け

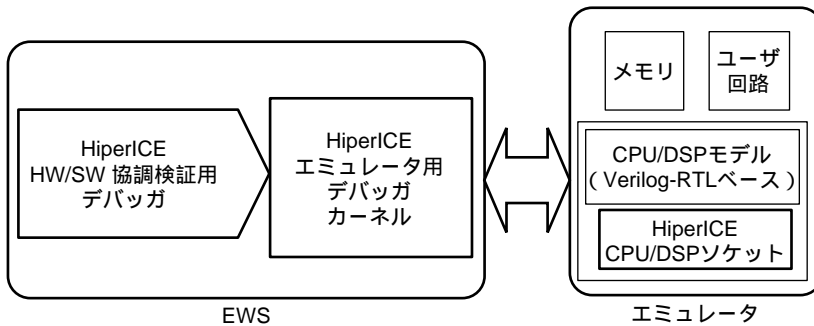


図5 HiperICEの構成

また、市販ハードウェア・エミュレータとして米国QuickTurn社のMercury, CoBALTをまず対象に、仮想ICEの有する協調検証環境を構築するためのシステム「HiperICE」を開発し、2000年1月から販売を開始している。(現在Axis社製についても開発済み、Mentor社、IKOS社製については開発中)以下、これらについてその概要を示す。

4.1 VMlink

VMlinkは、Simulink上にライブラリvmlibを提供し、これを任意のSimulinkモデルに組み込むことにより、HDL論理シミュレータとのコ・シミュレーションを可能とする。(図4)

VMlinkを使用することにより、MATLAB/Simulinkで記述された理論設計モデルとHDL、若しくはRTLで記述された実現設計モデルとの出力結果の比較照合、或いはHDL若しくはRTLで記述された仮想システムにSimulinkで記述された制御対象モデルを接続しての閉ループ系のシステム検証などを効率良く行うことができる。

W-CDMAなど移動体通信用、光DISC制御用システムLSI開発などに活用されている。

4.2 HiperICE

HiperICEは、市販のエミュレータ上に、エミュレータベースのハード/ソフト協調検証環境の構築を可能とする。(図5)HiperICEは、CPU/DSPソケット、協調検証用デバッガ、デバッガカーネルで構成される。HiperICEと、半導体メーカー若しくはCPU/DSPベンダ、システムメーカーの保有する精度100%のVerilog-RTL CPU/DSPモデルとを併せることで、エミュレータ上に協調検証環境を構築することができる。CPU/DSPソケットは、それぞれのCPU/DSPに特化したものであり、これがEWS上で動作するデバッガとのインターフェースとなる。このCPU/DSPソケットは、仮想ICEの有する協調検証用デバッガの一部を切り出してVerilog-RTL化したものであり、

CPU/DSPモデルと共にエミュレータ上にマッピングされる。CPU/DSPモデルのマッピングにより、その動作周波数の制限を受けることなく、キャッシュやMMUを実使用条件と同じ設定にて使用できる。HiperICEを使用することにより、エミュレータ本来の速度を損ねない高速検証 最大500 KHz/1 MHz が可能となる。仮想ICEによる協調検証環境で使用した同一の設計/検証データを用いて、操作性を含めてほぼ同一のデバッグ環

境の提供も可能となる。例えば、ブレーク時にはCPU/DSPモデルとユーザ回路を含めたシステム全体のエミュレーションが停止するため、ソフト並びにハードの同時検証を行うことができる。

5. おわりに

システムLSI開発のための、HDL論理シミュレータベースの協調検証ツール仮想ICE、エミュレータベースの協調検証環境HiperICE、MATLAB/SimulinkとHDL論理シミュレータとのコ・シミュレーションツールVMlinkの概要を紹介した。

しかしながら、これらはシステムLSI開発のためのあくまでも手段を提供するものにすぎない。大切なことは、プロジェクト毎にこれらを基礎にしてそのシステム設計者、ハード設計者、ソフト設計者が共通な設計/検証環境を連携して構築し、この共通な設計/検証環境の上に設計資産のみならずユーザアプリケーションに応じた検証手段、方法、ノウハウを含めた検証資産そのものも蓄積、再利用してゆくことである。当社ではそのための積極的なお手伝いも差し上げる所存である。

参考文献

- (1) "ハードとソフトは平行設計が常識に", NIKKEI ELECTRONICS, 1997. 9. 1, no. 697, pp. 67-85
- (2) SHIMADA K, NATSUI S, KUBO N, "31.25 Kbps Fieldbus Communication Controller Chip Based on HDL", ISA, 1993, #93-465, 1058-8655/93, pp. 39-46
- (3) SANO N, KUBO N, "ASIC Design and Debugging CAE System", Technical Report of IEICE, VLD93-29, 1993, pp. 17-24

* 仮想ICEは横河電機の登録商標、VMlink, HiperICEは商標です。

* その他、文中の製品名は各社の商標若しくは登録商標です。